

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):



BLACK BORDERS

- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Problem Image Mailbox.**

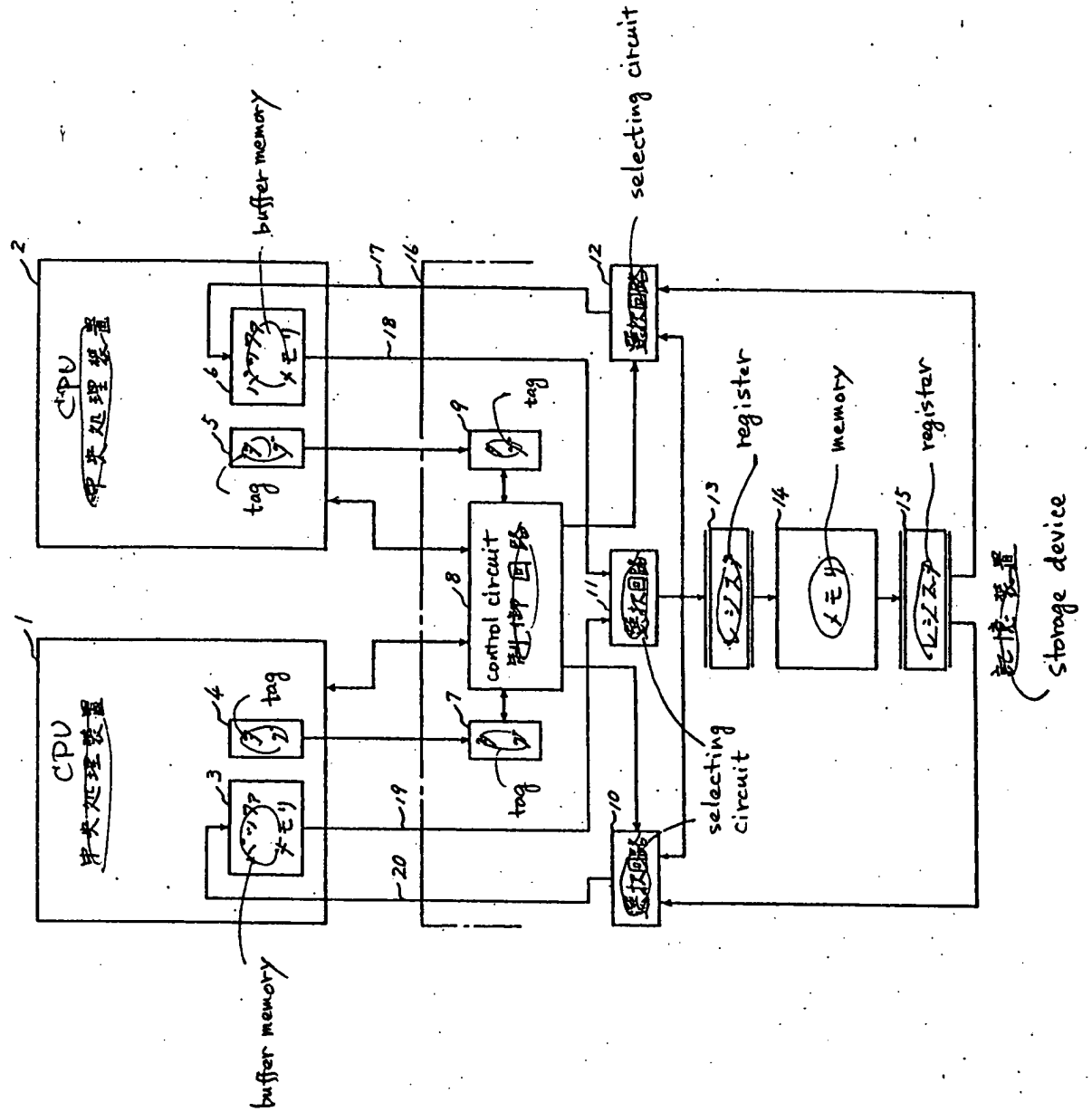
Citation 2

1. Japanese Patent Application No.: 9554/1983
Application Date: January 24, 1983
2. Japanese Patent Disclosure No.: 135684/1984
Disclosure Date: August 3, 1984
3. Inventor: Kenichi NOJIMA; Kawasaki-city, Japan
4. Applicant: FUJITSU Kabushiki Kaisha; Kawasaki-city, Japan
5. Title: A Data Bypass Method Between Buffer Memories

A data bypass method between buffer memories (3, 6) for a multi processor system of a swapping type including a plurality of CPUs (1, 2) each of which has a buffer memory (3, 6) and a storage device (16) to which the CPUs are connectable, wherein a means for bypassing data from the write data bus (18, 19) of the storage device (16) to the readout data bus (17, 20) is provided, and when the data transmission is required between buffer memories, the data are directly transmitted between buffer memories through the means for bypassing.

Each of reference numbers is as follows:

1, 2: CPU	3, 6: Buffer Memory	4, 5 7, 9: Tag
8: Control Circuit	10, 11, 12: Selecting Circuit	
13, 15: Register	14: Memory	16: Storage Device
17, 20: Readout Data Bus	18, 19: Write Data Bus	



⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭59-135684

⑤ Int. Cl.³
G 11 C 9/06
G 06 F 13/00

識別記号

庁内整理番号
8219-5B
7361-5B

③ 公開 昭和59年(1984)8月3日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ バッファメモリ間のデータバイパス方式

川崎市中原区上小田中1015番地
富士通株式会社内

⑯ 特 願 昭58-9554

⑰ 出 願 人 富士通株式会社

⑱ 出 願 昭58(1983)1月24日

川崎市中原区上小田中1015番地

⑲ 発 明 者 野嶋賢一

⑳ 代 理 人 弁理士 松岡宏四郎

明 細 書

1. 発明の名称

バッファメモリ間のデータバイパス方式

2. 特許請求の範囲

バッファメモリを備えた中央処理装置と、該中央処理装置を複数接続出来る記憶装置とを備えたスワップ方式のマルチプロセッサシステムに於て、該記憶装置の書き込みデータバスから読み出しデータバスへデータをバイパスする手段を設け、前記バッファメモリ間でデータ転送を必要とする場合、該バイパスする手段を経由して直接バッファメモリ間でデータの転送を行うことを特徴とするバッファメモリ間のデータバイパス方式。

3. 発明の詳細な説明

(a) 発明の技術分野

本発明はバッファメモリを備えた中央処理装置と、該中央処理装置を複数接続出来る記憶装置（主記憶装置又は中央処理装置と主記憶装置間に設けられる中間バッファ記憶装置）とを備えたスワップ方式のマルチプロセッサシステムに係り、特

に該マルチプロセッサシステムに於けるプロセッサ間のデータ転送時間を短縮するバッファメモリ間のデータバイパス方式に関する。

(b) 従来技術と問題点

従来のバッファメモリを備えた中央処理装置と、該中央処理装置を複数接続出来る記憶装置とを備えたスワップ方式のマルチプロセッサシステムでは、該記憶装置に該中央処理装置のバッファメモリとの間にデータを転送するルートはあるが、該記憶装置内にデータをバイパスするルートが無い為、中央処理装置相互間で直接データの転送を行う必要が生じた場合、中央処理装置のバッファメモリ間でデータの転送を行う手段が無く、一旦該記憶装置にデータを蓄込んだ後、読み出しを行って転送するしか方法が無い。従って記憶装置に於ける書き込み、読み出しシーケンス分だけ時間が余計に掛かるという欠点がある。

(c) 発明の目的

本発明の目的は上記欠点を除く為、各中央処理装置の内或中央処理装置で必要となったデータが、

他の中央処理装置のバッファメモリに存在する場合、該他の中央処理装置からムーブアウトされたデータを記憶装置に書き込むのと平行して要求元の或中央処理装置へ該データをバイパスさせ、転送時間の短縮を計ることを可能とするバッファメモリ間のデータバイパス方式を提供することにある。

(4) 発明の構成

本発明の構成はバッファメモリを備えた中央処理装置と、該中央処理装置を複数接続出来る記憶装置とを備えたスワップ方式のマルチプロセッサシステムに於て、該記憶装置の書き込みデータバスから読出しデータバスへデータをバイパスする手段を設け、前記バッファメモリ間でデータ転送を必要とする場合、該バイパスする手段を経由して直接バッファメモリ間でデータの転送を行う様にしたものである。

(5) 発明の実施例

図は本発明の一実施例を示す回路のブロック図である。中央処理装置1にはバッファメモリ3と、バッファメモリ3のアドレス情報、有効性等が記

3

格納すると共に、選択回路10を切り換えて読出しデータバス20を経てバッファメモリ3へ同時に送出する。バッファメモリ3にデータが書き込まれたことで中央処理装置1の読出し動作は完了する。そしてレジスタ13に格納されたデータはメモリ14に書き込まれる。中央処理装置1が記憶装置16にアクセスしてデータの読出しを行う時、バッファメモリ6に要求するデータが存在しない場合、メモリ14よりレジスタ15にデータが読出され、選択回路10を経てバッファメモリ3に送出される。

中央処理装置2を中心とする動作の場合は上記と同様であるが、参照されるタグは7でバッファメモリ3よりムーブアウトされたデータは書き込みデータバス19を経て選択回路11、12を経由し、読出しデータバス17を経てバッファメモリ6に転送される。

(6) 発明の効果

以上説明した如く、本発明は各中央処理装置の内或中央処理装置で必要となったデータが、他の

5

記憶されるタグ4が内蔵され、中央処理装置2にはバッファメモリ6と、バッファメモリ6のアドレス情報、有効性等が記憶されるタグ5が内蔵される。記憶装置16にはタグ4の内容がコピーされるタグ7と、タグ5の内容がコピーされるタグ9がある。ここで中央処理装置1を中心にして動作を説明する。

中央処理装置1が必要とするデータがバッファメモリ3に無い時は、中央処理装置1は記憶装置16にアクセスして必要とするデータを読出する。読出しリクエストを送出する。記憶装置16の制御回路8はタグ9を参照し、中央処理装置1の要求するデータが中央処理装置2のバッファメモリ6にあるかどうか調べ、存在している場合は中央処理装置2に該データのムーブアウトを指示し、中央処理装置2よりムーブアウトのアクセスがある迄待ち状態となる。中央処理装置2よりムーブアウトのアクセスがあると、制御回路8はバッファメモリ6より書き込みデータバス18を経て送出されるデータを選択回路11を経てレジスタ13に

4

中央処理装置のバッファメモリに存在する場合、該他の中央処理装置からムーブアウトされたデータを記憶装置に書き込むのと平行して要求元の或中央処理装置へ該データをバイパスさせ、転送時間の短縮を計ることを可能とする為、その効果は大なるものがある。

4. 図面の簡単な説明

図は本発明の一実施例を示す回路のブロック図である。

1、2は中央処理装置、3、6はバッファメモリ、4、5、7、9はタグ、8は制御回路、10、11、12は選択回路、13、15はレジスタ、14はメモリ、16は記憶装置である。

代理人弁理士

松岡宏四郎



6

